

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340080  
 (43)Date of publication of application : 10.12.1999

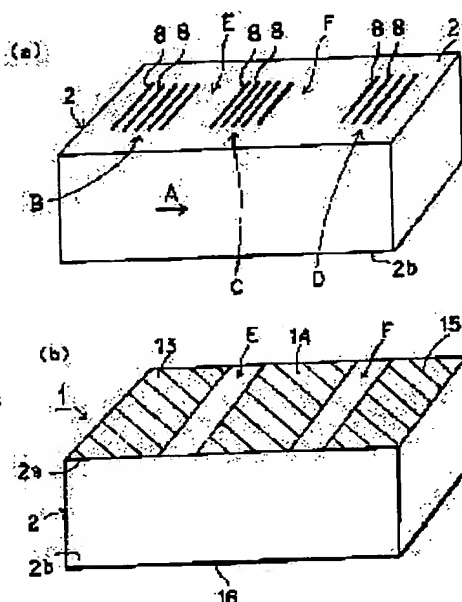
(51)Int.Cl. H01G 4/252  
 H01G 4/30

(21)Application number : 10-146254 (71)Applicant : MURATA MFG CO LTD  
 (22)Date of filing : 27.05.1998 (72)Inventor : KONDO TAKANORI  
 TATE KUNIO

## (54) LAMINATED MICROCHIP CAPACITOR

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a laminated microchip capacitor which is suited to high-frequency application and can obtain a plurality of electrostatic capacitance thereby enables an easy constitution of necessary capacitance.  
**SOLUTION:** This laminated microchip capacitor 1 is provided with a plurality of inner electrodes laminated by means of a ceramic layer and a plurality of capacitor units D to F formed by laminating a plurality of inner electrodes in a ceramic sintered body 2. A plurality of first external electrodes 13 to 15 are formed on the upper surface of the ceramic sintered body so that they are connected electrically with the inner electrode connecting with one potential of the capacitor units D to F, and a second external electrode 16 is formed on the entire surface of lower surface 2, thereby forming three laminated capacitor units along the direction of the laminated inner electrodes.



## LEGAL STATUS

[Date of request for examination] 26.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3551763

[Date of registration] 14.05.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

<http://www19.ipdl.ncipi.go.jp/PA1/result/detail/main/wAAa02aGYIDA411340080P1.htm>

3/8/2005

BEST AVAILABLE COPY

\* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] It has the ceramic sintered compact which has a top face and an inferior surface of tongue, and two or more internal electrodes arranged so that it may overlap through a ceramic layer along a direction parallel to the inferior surface of tongue of this ceramic sintered compact in said ceramic sintered compact. Two or more 1st external electrodes which a part of the edge is exposed to the top face or inferior surface of tongue of a ceramic sintered compact, and were formed in the top face of said ceramic sintered compact in order that two or more internal electrodes might take out electrostatic capacity, The laminating microchip capacitor characterized by supposing that it is possible to have further 2nd at least one external electrode formed in the inferior surface of tongue of a ceramic sintered compact, and to take out two or more sorts of electrostatic capacity between two or more 1st external electrodes and the 2nd external electrode.

[Claim 2] The laminating microchip capacitor according to claim 1 by which two or more formation of said 2nd external electrode is carried out.

[Claim 3] In the part to which at least two or more internal electrodes are used as the assembled-die internal electrode divided in the direction which intersects perpendicularly in the direction of an internal electrode laminating, and the direction of a vertical side of a ceramic sintered compact, and the laminating of the assembled-die internal electrode is carried out The laminating microchip capacitor according to claim 1 or 2 by which two or more 1st external electrodes divided in the direction which intersects perpendicularly in the direction of an internal electrode laminating and the direction of a vertical side of a ceramic sintered compact are formed in the top face of a sintered compact.

[Claim 4] The laminating microchip capacitor according to claim 3 by which two or more 2nd external electrodes divided in the direction of an internal electrode laminating and the direction of a vertical side of a sintered compact, and the direction that intersects perpendicularly are formed in the inferior surface of tongue of a sintered compact in the part in which said assembled-die internal electrode is formed.

[Claim 5] The laminating microchip capacitor according to claim 1 to 4 characterized by having further the bump electrode formed on said two or more 1st external electrodes.

[Claim 6] A laminating microchip capacitor given in claims 1 and 3 further equipped with the connection electrode formed in the ceramic sintered compact, and the 3rd external electrode formed in the top face of a ceramic sintered compact so that it might connect with the upper limit of said connection electrode so that the lower limit may be connected to the 2nd external electrode on the inferior surface of tongue of said ceramic sintered compact and upper limit may reach the top face of a ceramic sintered compact.

[Claim 7] The laminating microchip capacitor according to claim 6 by which the bump electrode is formed on said 1st external electrode and the 3rd external electrode, respectively.

---

[Translation done.]

## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a suitable laminating microchip capacitor to mount in an IC package and an optical-communication device especially about the laminating microchip capacitor constituted using the ceramic sintered compact.

[0002]

[Description of the Prior Art] In order to obtain electrostatic capacity in the IC package using optical-communication-related a high frequency device and a GaAs semi-conductor, the very small laminating microchip capacitor 1mm or less is used for the upper limit.

[0003] An example of the conventional laminating microchip capacitor is shown in drawing 7 (a) and (b). The laminating microchip capacitor 51 is constituted using the ceramic sintered compact 52 on a rectangular parallelepiped. By this laminating microchip capacitor 51, the external electrode 53 is formed on top-face 52a of the ceramic sintered compact 52, and the external electrode 54 is similarly formed on inferior-surface-of-tongue 52b on the whole surface.

[0004] On the other hand, the ceramic sintered compact 52 carries out the laminating of 55 for two or more ceramic green sheets to drawing 8, as shown in a schematic-drawing-perspective view, and it is obtained by really calcinating. Since an internal electrode is constituted, conductive paste 56 or conductive paste 57 is printed by two or more ceramic green sheets 55. Conductive paste 56 is pulled out by the upper limit edge of the ceramic green sheet 55 in drawing 8, and conductive paste 57 is pulled out by the lower limit edge of the ceramic green sheet 55.

[0005] Therefore, the laminating of the ceramic green sheet 55 with which conductive paste 56 and 57 was printed is carried out, and the ceramic sintered compact 52 which shows a plain ceramic green sheet further to drawing 7 (a) by [ proper ] carrying out a number-of-sheets laminating and calcinating is obtained. In the ceramic sintered compact 52, it is arranged so that the internal electrode 58 pulled out by top-face 52a and the internal electrodes (not shown) pulled out by inferior-surface-of-tongue 52b of 52 of a ceramic sintered compact may overlap through a ceramic sintered compact layer along the direction of arrow-head A.

[0006] The above-mentioned laminating microchip capacitor 51 is mounted on a substrate from the external electrode 54 side in the IC package which used for example, the GaAs semi-conductor. Moreover, the external electrode 53 formed on top-face 52a of the ceramic sintered compact 52 is electrically connected with the exterior by the bonding wire (not shown).

[0007]

[Problem(s) to be Solved by the Invention] As mentioned above, in the electronic equipment or the components which are used for a high frequency application like an optical-communication device or the above-mentioned IC package, the very small laminating microchip capacitor 51 is used. When it mounts the laminating microchip capacitor 51, the laminating microchip capacitor 51 of electrostatic capacity according to a design value is used.

[0008] However, a circuit may not operate good only by the electrostatic capacity needed as a capacitor having changed with mounting gestalten, and constituting the capacitor of the electrostatic capacity as a design value from a high frequency device which was mentioned above. In such a case, the laminating microchip capacitor 51 of different electrostatic capacity had to be prepared. Or there might be the need of mounting two or more laminating microchip capacitors 51. Therefore, the production process was very complicated.

[0009] The purpose of this invention is to offer the laminating microchip capacitor which can cancel the

fault of the conventional laminating microchip capacitor for high frequency services mentioned above, can constitute easily two or more sorts of electrostatic capacity, and can constitute easily the electrostatic capacity needed by it.

[0010]

[Means for Solving the Problem] The laminating microchip capacitor concerning invention according to claim 1 It has the ceramic sintered compact which has a top face and an inferior surface of tongue, and two or more internal electrodes arranged so that it may overlap through a ceramic layer along a direction parallel to the inferior surface of tongue of this ceramic sintered compact in said ceramic sintered compact. Two or more 1st external electrodes which a part of the edge is exposed to the top face or inferior surface of tongue of a ceramic sintered compact, and were formed in the top face of said ceramic sintered compact in order that two or more internal electrodes might take out electrostatic capacity, It has further 2nd at least one external electrode formed in the inferior surface of tongue of a ceramic sintered compact, and is characterized by supposing that it is possible to take out two or more sorts of electrostatic capacity between two or more 1st external electrodes and the 2nd external electrode.

[0011] Like the publication to claim 2, two or more formation of the external electrode of the above 2nd may be carried out on the sintered compact inferior surface of tongue. Moreover, in invention according to claim 3, at least two or more internal electrodes are used as the assembled-die internal electrode divided in the direction which intersects perpendicularly in the direction of an internal electrode laminating, and the direction of a vertical side of a ceramic sintered compact, and two or more 1st external electrodes divided in the direction which intersects perpendicularly in the direction of an internal electrode laminating and the direction of a vertical side of a ceramic sintered compact are formed in the top face of a sintered compact in the part to which the laminating of the assembled-die internal electrode is carried out.

[0012] In invention according to claim 3, two or more 2nd external electrodes divided in the direction which intersects perpendicularly with the inferior surface of tongue of a sintered compact in the part according to claim 4 to which the laminating of said assembled-die internal electrode is carried out with the direction of an internal electrode laminating and the direction of a vertical side of a sintered compact like are formed.

[0013] In invention according to claim 5, the bump electrode is formed on two or more 1st external electrodes, respectively. In invention according to claim 6, the lower limit is connected to the 2nd external electrode on the inferior surface of tongue of said ceramic sintered compact, and it has further the connection electrode formed in the ceramic sintered compact, and the 3rd external electrode formed in the top face of a ceramic sintered compact so that it might connect with the upper limit of said connection electrode so that upper limit may reach the top face of a ceramic sintered compact.

[0014] In invention according to claim 6, the bump electrode may be formed on the 1st external electrode and the 3rd external electrode like a publication at claim 7, respectively.

[0015]

[Embodiment of the Invention] Hereafter, by explaining the concrete example of this invention explains this invention to a detail more, referring to a drawing.

[0016] Drawing 1 (a) and (b) are drawings for explaining the laminating microchip capacitor concerning the 1st example of this invention, and the perspective view showing the sintered compact excluding [ (a) ] the external electrode and (b) are the perspective views showing the appearance of a laminating microchip capacitor.

[0017] The laminating microchip capacitor 1 is constituted using the ceramic sintered compact 2 on a rectangular parallelepiped. As a ceramic ingredient which constitutes the ceramic sintered compact 2, proper dielectric ceramics like barium titanate series ceramics can be used, for example.

[0018] In the ceramic sintered compact 2, it is arranged so that two or more internal electrodes may overlap through a ceramic layer. It clarifies by explaining the manufacture approach, referring to drawing 2 for the structure of this ceramic sintered compact 2.

[0019] In obtaining the ceramic sintered compact 2, as shown in a schematic-drawing-decomposition perspective view, the rectangular ceramic green sheets 3-7 of two or more sheets are prepared for drawing 2. The internal electrode 8 or the internal electrode 9 is formed in the ceramic green sheets 4-7 by screen-stenciling conductive paste, respectively. The conductive paste which makes proper metals, such as Ag-pd, a subject as the above-mentioned conductive paste can be used. Not only the print processes of conductive paste but other known means may perform formation of internal electrodes 8 and 9. In the following examples, an internal electrode can be similarly formed by the approach of well-known arbitration.

[0020] The internal electrode 8 is formed so that a part of the edge may reach the upper limit edge of the ceramic green sheets 4 and 6 in drawing 2. It is formed and the internal electrode 9 is so that a part of the edge may reach the lower limit edge of the ceramic green sheets 5 and 7.

[0021] Conductive paste is not printed by the ceramic green sheet 3, therefore let the ceramic green sheet 3 at it be a plain ceramic green sheet.

[0022] It consists of layered products obtained by carrying out the laminating of the ceramic green sheets 4-7 shown in drawing 2 so that internal electrodes 8 and 9 may be exposed to the top face or inferior surface of tongue of a layered product by turns.

[0023] In obtaining the ceramic sintered compact 2, a number-of-sheets laminating is carried out and the proper layered product obtained by [ proper ] carrying out a number-of-sheets laminating in the ceramic green sheet of solid color still like the ceramic green sheet 3 is calcinated for the above-mentioned ceramic green sheets 4-7.

[0024] Thus, the ceramic sintered compact 2 shown in drawing 1 is obtained. The internal electrode 8 mentioned above is pulled out by top-face 2a of the ceramic sintered compact 2 in the ceramic sintered compact 2. The internal electrode 9 of another side is not illustrated. Therefore, the laminating of two or more internal electrodes 8 and 9 is carried out in the direction parallel to the inferior surface of tongue used as the anchoring side of the ceramic sintered compact 2, and each internal electrodes 8 and 9 will be extended in the direction which intersects perpendicularly with this anchoring side.

[0025] Moreover, in the ceramic sintered compact 2, three laminating capacitor units which come by turns to carry out the laminating of the internal electrode 8 currently pulled out by top-face 2a of the ceramic sintered compact 2 and the internal electrode 9 currently pulled out by inferior-surface-of-tongue 2b are formed in the direction of arrow-head A. In addition, the direction of arrow-head A corresponds in the direction of a laminating of the above-mentioned internal electrodes 8 and 9.

[0026] above -- carrying out -- the 1- 3rd laminating capacitor unit B-D is constituted. In addition, between laminating capacitor unit B-D, the fields E and F where the laminating of the internal electrode is not carried out are formed, respectively. The fields E and F where this internal electrode is not constituted should just be constituted by [ proper ] carrying out a number-of-sheets laminating in the plain ceramic green sheet 3.

[0027] As shown in drawing 1 (b), on top-face 2a of the ceramic sintered compact 2, two or more 1st external electrodes 13-15 are formed. The external electrodes 13-15 are connected to the internal electrode 8 in laminating capacitor unit B-D, respectively. Moreover, on inferior-surface-of-tongue 2b of the ceramic sintered compact 2, it is formed so that the 2nd external electrode 16 may be connected to an internal electrode 9 on the whole surface. Although the external electrodes 13-16 are formed of spreading and printing of conductive paste like for example, Au paste, they may be formed by other electric conduction film formation approaches, such as vacuum evaporation, sputtering, or plating.

[0028] the laminating microchip capacitor 1 -- the external electrodes 13-15 of the above 1st -- respectively -- \*\* -- the 2nd external electrode 16 -- respectively -- above-mentioned the 1- 3rd laminating capacitor unit B-D is constituted. therefore, the 1- which became independent electrically -- since 3rd capacitor unit B-D can be formed, various electrostatic capacity can be taken out by making the electrostatic capacity in each laminating capacitor unit take out. but the 1- all the electrostatic capacity obtained by 3rd laminating capacitor unit B-D may be the same.

[0029] moreover, the case where the laminating microchip capacitor 1 is used -- the 1- any one of the 3rd laminating capacitor unit B-D may be used, it may connect electrically and you may use so that parallel connection of the two laminating capacitor units of arbitration may be carried out, and all the three laminating capacitor units may be used. That is, since three laminating capacitor units are constituted, the electrostatic capacity of various magnitude can be taken out by changing the connection method of the 1st external electrode 13-15.

[0030] By the laminating microchip capacitor 1 of this example, it considers as the field where the field in which the inferior surface of tongue 16, i.e., an external electrode, is formed is mounted on a substrate. Therefore, the 2nd external electrode 16 will be electrically connected to the electrode land of a substrate. On the other hand, the 1st internal electrode 13-15 is electrically connectable with the exterior with a bonding wire. Therefore, various electrostatic capacity can be taken out by changing the mode of connection by the above-mentioned bonding wire.

[0031] But although especially illustration is not carried out, according to capacitor unit B-D, the 2nd respectively independent external electrode may be formed on inferior-surface-of-tongue 2b of the ceramic sintered compact 2 like the 1st external electrode 13-15. That is, the 2nd three external electrodes may be formed on inferior-surface-of-tongue 2b of the ceramic sintered compact 2.

[0032] Drawing 3 (a) and (b) are the perspective views showing the appearance of the ceramic sintered compact used for the laminating microchip capacitor concerning the 2nd example of this invention, and this laminating microchip capacitor.

[0033] The ceramic rectangular parallelepiped-like sintered compact 22 is used by the laminating microchip capacitor 21 of the 2nd example. In the ceramic sintered compact 22, two or more internal electrodes are arranged so that it may overlap through a ceramic layer. This structure is explained with reference to drawing 4, referring to the manufacture approach.

[0034] In the ceramic sintered compact 22, two or more laminating capacitor unit G-K is constituted. Among these, in the part which the laminating capacitor unit G consists of, the laminating of the internal electrode is carried out like the 1st example. That is, the laminating of the internal electrode 8 currently pulled out by top-face 22a and the internal electrode (not shown) currently pulled out by inferior-surface-of-tongue 22b is carried out by turns, and the laminating capacitor unit G is constituted.

[0035] On the other hand, laminating capacitor unit H-K is constituted using the assembled-die internal electrode. Here, an assembled-die internal electrode shall mean the internal electrode which divided the internal electrode equivalent to an internal electrode 8 in the direction of arrow-head B, i.e., the direction of an internal electrode drawer and the direction which intersects perpendicularly.

[0036] Therefore, the laminating capacitor unit H and the laminating capacitor unit I are arranged along the direction of arrow-head B. The laminating capacitor unit J and the laminating capacitor unit K are similarly arranged along the direction of arrow-head B.

[0037] Among these, the process which manufactures the part which the laminating capacitor units H and I consist of is explained with reference to drawing 4. As shown in drawing 4, the ceramic green sheets 23a-23h of two or more sheets are prepared. Among these, conductive paste is not printed by the ceramic green sheets 23a and 23b, therefore the ceramic green sheets 23a and 23b are plain ceramic green sheets. [0038] In the ceramic green sheets 23c, 23e, and 23g, the assembled-die internal electrodes 24 and 25 are separated and formed in the direction of arrow-head B, respectively. The assembled-die internal electrodes 24 and 25 are pulled out by the ceramic green sheets [ 23c, 23e, and 23g ] upper limit edge in drawing 4. On the other hand, the internal electrode 26 is formed in ceramic green sheets [ 23d 23f, and 23h ] one side. The internal electrode 26 is pulled out by the ceramic green sheets [ 23d, 23f, and 23h ] lower limit edge.

[0039] As shown in drawing 4, after pressurizing the layered product obtained by carrying out a laminating in the above-mentioned ceramic green sheets 23a-23h, the above-mentioned laminating capacitor unit parts H and I are constituted by calcinating.

[0040] The remaining laminating capacitor units J and K are constituted similarly. In order to take out electrostatic capacity from above-mentioned laminating capacitor unit G-K, on top-face 22a of 22 of a ceramic sintered compact, the 1st external electrode 27-31 is formed. Moreover, on inferior-surface-of-tongue 22b of the ceramic sintered compact 22, the 2nd external electrode 32 is formed on the whole surface. The external electrode 27 is formed in order to take out the electrostatic capacity of the laminating capacitor unit G. The external electrodes 28 and 29 are separated in the direction of arrow-head B. The external electrodes 30 and 31 are similarly separated in the direction of arrow-head B. The external electrodes 28-31 are formed, respectively in order to take out the electrostatic capacity in laminating capacitor unit H-K.

[0041] Therefore, by the laminating microchip capacitor 1 of this example, various electrostatic capacity can be taken out by using the 1st external electrode 27-31 of the above-mentioned plurality, and the 2nd external electrode 32.

[0042] Also in this example, by changing the number of internal electrode laminatings in each laminating capacitor unit G-K, and the area of an internal electrode, it is also possible to change all the electrostatic capacity taken out from each laminating capacitor unit G-K, and it is good also as the same in the electrostatic capacity taken out by all laminating capacitor unit G-K.

[0043] Various electrostatic capacity can be obtained by changing the connection mode of the 1st external electrode 27-31 in the case of which. Also in this example, it becomes an anchoring side at the time of 2nd external electrode 22b attaching on a substrate. Therefore, when joining the 1st external electrode 27-31 by the bonding wire, various electrostatic capacity as mentioned above can be taken out by changing the connection mode by the bonding wire.

[0044] In addition, in this example, although the 2nd external electrode 32 was formed all over inferior-surface-of-tongue 22b of the ceramic sintered compact 22, it may form two or more 2nd external electrodes on an inferior surface of tongue. That is, two or more 2nd external electrodes in a mode which may form two or more 2nd external electrodes on inferior-surface-of-tongue 22b, or is different from top-

face 22a may be formed on inferior-surface-of-tongue 22b so that it may correspond for example, with the 1st external electrode 27-31 formed on top-face 22a.

[0045] Drawing 5 (a) - (c) is drawing for explaining the laminating microchip capacitor concerning the 3rd example of this invention, and (a) is a perspective view in which the perspective view showing the appearance of a ceramic sintered compact and (b) show drawing of longitudinal section of a laminating microchip capacitor, and (c) shows the appearance of a laminating microchip capacitor.

[0046] The ceramic rectangular parallelepiped-like sintered compact 42 is used by the laminating microchip capacitor 41. The ceramic sintered compact 42 is constituted almost like the ceramic sintered compact 2 used in the 1st example, if it removes that the below-mentioned connection electrode is prepared. Therefore, about the same part, the explanation is omitted by \*\*\*\*\* which attaches the same reference number.

[0047] The laminating is carried out so that two or more internal electrodes may overlap through a ceramic layer along the direction of arrow-head A, and three laminating capacitor unit partial B-D is constituted from a ceramic sintered compact 42 by it. In each laminating capacitor unit B-D, the laminating of the internal electrode 8 currently pulled out by top-face 42a of the ceramic sintered compact 42 and the internal electrode 9 currently pulled out by inferior-surface-of-tongue 42b is carried out by turns.

[0048] Furthermore, in the sintered compact 42, [ near the one side end-face 42c of a sintered compact 42 ], the connection electrode 43 is formed so that it may result in top-face 42a and inferior-surface-of-tongue 42b. The ceramic green sheet and internal electrode configuration for obtaining the part which this connection electrode 43 and the 1st capacitor unit B consist of are shown in drawing 6 .

[0049] As shown in drawing 6 , the ceramic green sheets 44a-44i of two or more sheets are used. The ceramic green sheets 44a, 44b, 44d, and 44e are plain ceramic green sheets. The connection electrode 43 is formed in one side of ceramic green sheet 44c by carrying out compound interest printing of the same conductive paste as an internal electrode. In this case, the connection electrode 43 is formed like for reaching [ from the upper limit edge of ceramic green sheet 44c ] a lower limit edge.

[0050] On the other hand, in the ceramic green sheets 44f-44i, the internal electrode 8 and the internal electrode 9 are printed by turns like the case of the 1st example. The laminating of the above-mentioned ceramic green sheets 44a-44i is carried out, the laminating of the ceramic green sheet and internal electrode for constituting the 2nd and 3rd laminating capacitor unit further is carried out, and a layered product is obtained by pressurizing in the direction of a laminating. Thus, the ceramic sintered compact 42 can be obtained by calcinating the obtained layered product.

[0051] On top-face 42a of return and the ceramic sintered compact 42, two or more 1st external electrodes 45-47 and the 3rd external electrode 48 are formed at drawing 5 (c). The 1st external electrode 45-47 is formed, respectively in order to take out the electrostatic capacity in layered product capacitor unit B-D. That is, the 1st external electrode 45-47 is equivalent to the 1st external electrode 13-15 in the 1st example.

[0052] In this example, the 3rd external electrode 48 is formed so that it may connect with the upper limit of the above-mentioned connection electrode 43 electrically. On the other hand, the 2nd external electrode 49 is formed in the whole surface on inferior-surface-of-tongue 42b of the ceramic sintered compact 42. Therefore, the 2nd external electrode 49 is electrically connected to the 3rd external electrode 48 by the connection electrode 43.

[0053] Therefore, in the multilayer capacitor 41 of this example, when mounted from the 2nd external electrode 49 on a substrate, it can connect with the exterior by the bonding wire, using the 1st external electrode 45-47 and the 3rd external electrode 48. That is, since the 2nd external electrode 49 is electrically connected to the 3rd external electrode 48, all electrical installation can be performed by the top-face 42a side of the ceramic sintered compact 42.

[0054] More preferably, as shown in drawing 5 (c), the bump electrode 50 of the shape of a proper metal ball is formed on the 1st external electrode 45-47 and the 3rd external electrode 48. If the bump electrode 50 is formed, a top-face side can be attached, and the laminating microchip capacitor 41 can be made into a field, and can be easily mounted on a substrate by the face down bonding method. Conversely, other components, substrates, etc. can also be laid in the top-face side of the laminating microchip capacitor 41.

[0055] That is, when it mounts the laminating microchip capacitor 41 on a substrate, surface mounting of the laminating microchip capacitor 41 can be easily carried out by arranging so that the bump electrode 50 side may be contacted to the electrode land on a substrate, without using a bonding wire.

[0056]

[Effect of the Invention] By the laminating microchip capacitor concerning invention according to claim 1



The laminating of two or more internal electrodes is carried out through the ceramic layer along the direction parallel to the inferior surface of tongue of a ceramic sintered compact. Two or more internal electrodes are pulled out by the top face or inferior surface of tongue of a ceramic sintered compact, and two or more independent laminating capacitor units will be constituted between two or more 1st external electrodes formed in the top face of a ceramic sintered compact, and the 2nd external electrode formed in the inferior surface of tongue. Therefore, in connecting the 1st external electrode with the exterior, various electrostatic capacity can be taken out by changing the connection mode.

[0057] When it uses as a laminating microchip capacitor for high frequency which follows, for example, is mounted in an optical-communication relation device or an IC package, electrostatic capacity can be easily adjusted by changing the connection mode of the external electrode of the above 1st. When in other words a design value differs from the electrostatic capacity actually needed, the capacity of a laminating microchip capacitor can be brought close to the electrostatic capacity needed [ this ] easily.

[0058] Therefore, the laminating microchip capacitor suitable for a high frequency application can be offered, and simplification of the production process of a high frequency device can be attained. Moreover, two or more laminating capacitor units which became independent between the 1st external electrode of the above-mentioned plurality and the 2nd external electrode consist of laminating microchip capacitors concerning invention according to claim 1. Therefore, while the multilayer capacitor of the conventional plurality can constitute the required part using a smaller number of laminating microchip capacitors and can raise packaging density, simplification of an electrical installation activity can be attained.

[0059] By the laminating microchip capacitor concerning invention according to claim 2, since two or more formation of the 2nd external electrode is carried out on the inferior surface of tongue of a sintered compact, much more various electrostatic capacity can be taken out.

[0060] Since it has the assembled-die internal electrode divided in the direction which intersects perpendicularly in the direction of a laminating of an internal electrode, and the direction of a vertical side of a ceramic sintered compact, even if met in the above-mentioned direction which intersects perpendicularly with the direction of an internal electrode laminating, and the direction of a vertical side of a ceramic sintered compact, two or more laminating capacitor units can consist of invention according to claim 3. Therefore, since much more many laminating capacitor units can be constituted, various electrostatic capacity can be taken out.

[0061] In invention according to claim 4, in the laminating microchip capacitor which has the above-mentioned assembled-die internal electrode, since two or more formation of the 2nd external electrode is carried out on the inferior surface of tongue of a ceramic sintered compact, much more various electrostatic capacity can be taken out.

[0062] In invention according to claim 5, since two or more 1st external electrode bump electrodes are formed, a laminating microchip capacitor can be easily mounted on a substrate by the face down bonding method from the side in which this bump electrode is formed. And since it is hard to produce degradation of the electrical characteristics which originate in the die length of an electrical installation part in order to use bump connection, the laminating microchip capacitor suitable for a high frequency application can be offered.

[0063] In invention according to claim 6, since it has the connection electrode which is connected to the 2nd external electrode on the inferior surface of tongue of a ceramic sintered compact, and is connected to the 3rd external electrode on the top face of a ceramic sintered compact, two or more 1st external electrodes and the external electrode of the above 3rd which have been arranged on the top face of a ceramic sintered compact serve as an electrical installation part with the exterior. That is, it is not necessary to connect electrically with the exterior the 2nd external electrode formed in the inferior surface of tongue of a ceramic sintered compact.

[0064] When it considers as the component side at the time of following, for example, mounting the inferior surface of tongue of a ceramic sintered compact on a ceramic substrate, electrical installation can be performed by connecting a bonding wire to two or more 1st external electrodes and the 3rd external electrode suitably on the top face of a ceramic sintered compact after mounting. That is, moreover, all electrical installation activities can be done only on the top face of a ceramic sintered compact using a single electrical connecting means like a bonding wire. Therefore, simplification of a production process can be achieved.

[0065] In invention according to claim 7, since the bump electrode is formed on two or more 1st external electrodes and the 3rd external electrode, a laminating microchip capacitor can be easily mounted on a substrate by the face down bonding method from the side in which this bump electrode is formed. And



since it is hard to produce degradation of the electrical characteristics which originate in the die length of an electrical installation part in order to use bump connection, the laminating microchip capacitor suitable for a high frequency application can be offered.

---

[Translation done.]

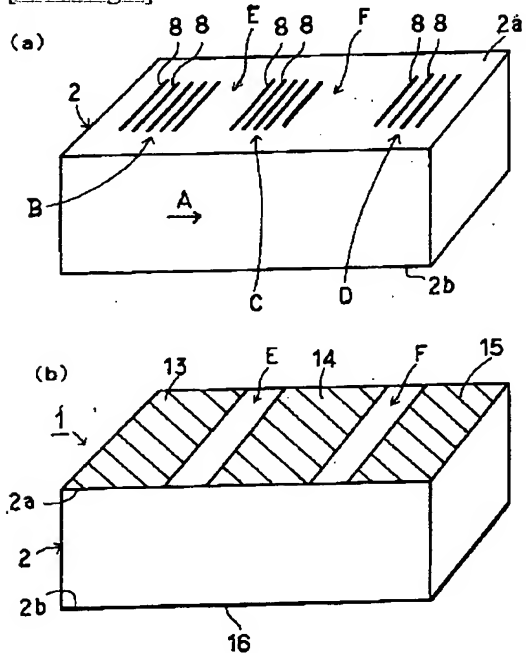
## \* NOTICES \*

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

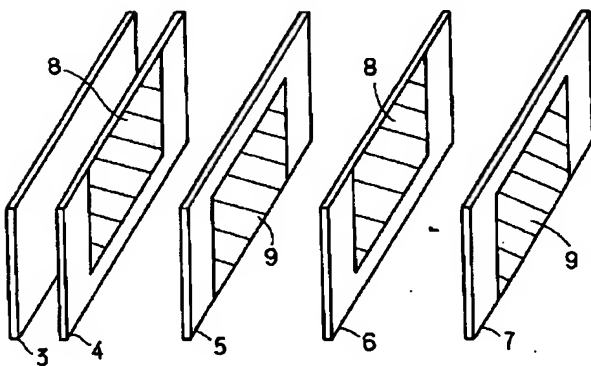
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

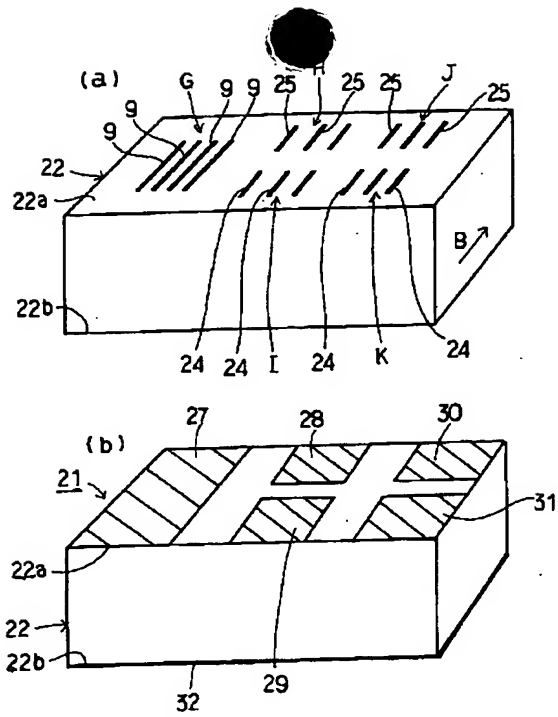
[Drawing 1]



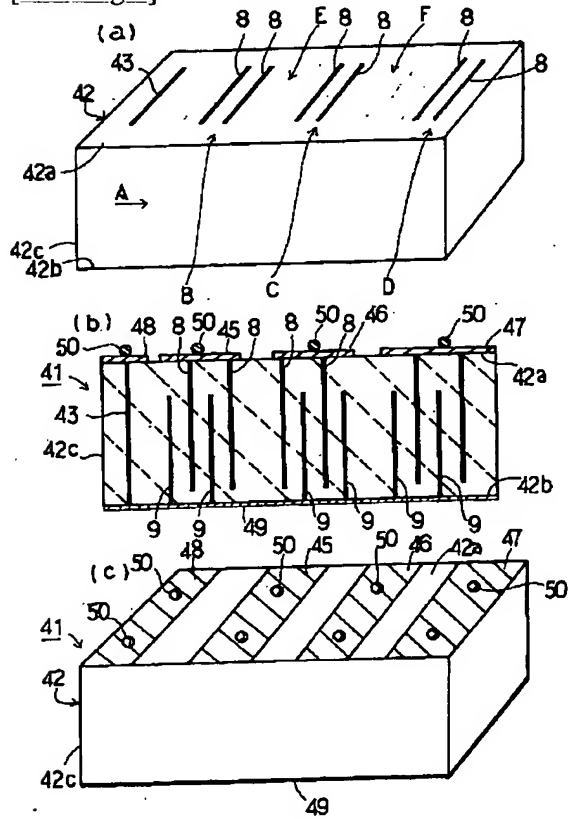
[Drawing 2]



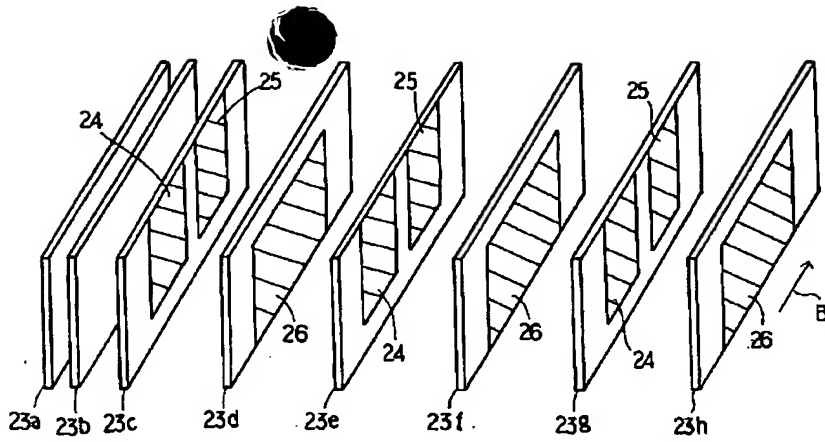
[Drawing 3]



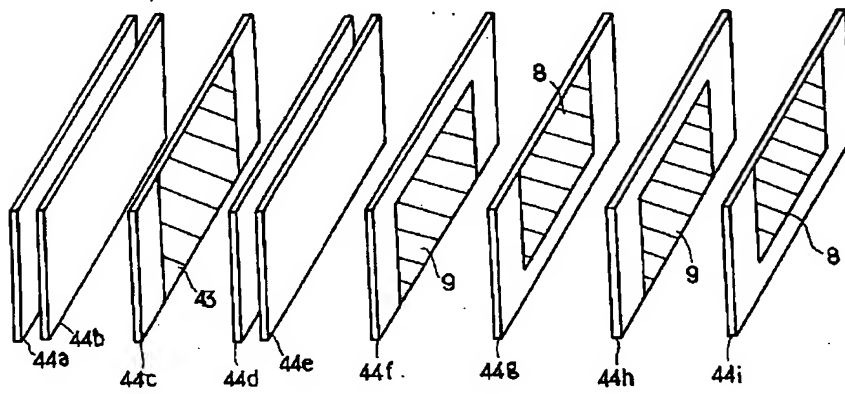
[Drawing 5]



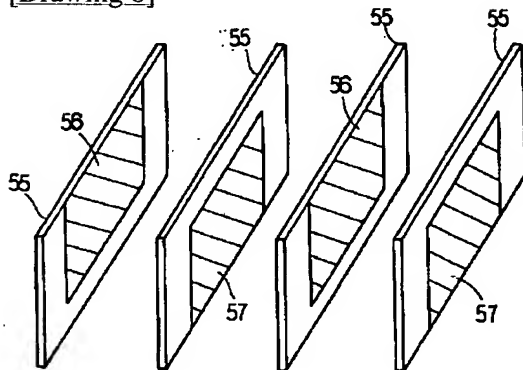
[Drawing 4]



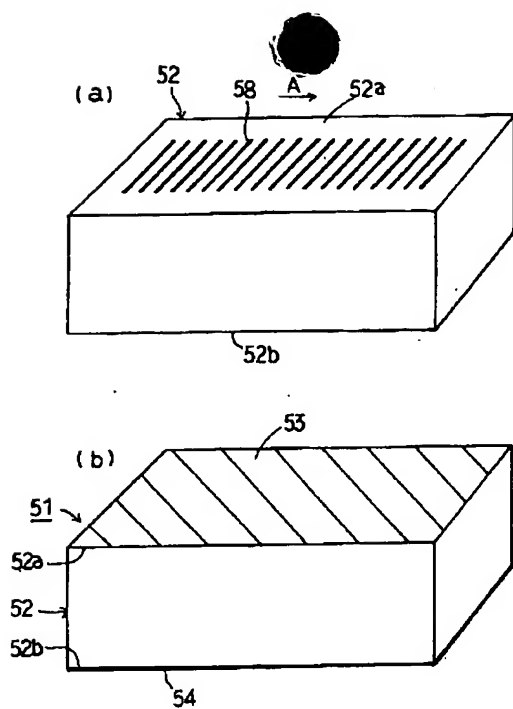
[Drawing 6]



[Drawing 8]



[Drawing 7]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-340080

(43) 公開日 平成11年(1999)12月10日

(51) Int.Cl.<sup>8</sup>

H 0 1 G 4/252  
4/30

識別記号

3 0 1

F I

H 0 1 G 1/14  
4/30

V

3 0 1 D

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平10-146254

(22) 出願日 平成10年(1998)5月27日

(71) 出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72) 発明者 近藤 隆則

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

(72) 発明者 館 邦夫

京都府長岡京市天神二丁目26番10号 株式  
会社村田製作所内

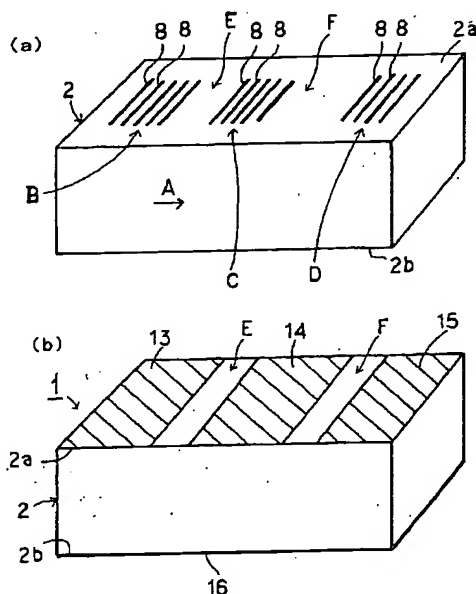
(74) 代理人 弁理士 宮▼崎▲ 主税 (外 1 名)

(54) 【発明の名称】 積層マイクロチップコンデンサ

(57) 【要約】

【課題】 高周波用途に適しており、複数の静電容量を取り出すことができ、それによって必要な静電容量を容易に構成し得る積層マイクロチップコンデンサを得る。

【解決手段】 セラミック焼結体 2 内において、セラミック層を介して複数の内部電極 1 2 が積層されており、複数の内部電極 1 2 が積層されて複数のコンデンサユニット D~F が構成されており、セラミック焼結体 2 の上面にコンデンサユニット D~F の一方電位に接続されている内部電極 1 2 に電氣的に接続されるように、複数の第 1 の外部電極 1 3~1 5 は、下面 1 6 の全面に第 2 の外部電極 1 6 が形成されており、それによって内部電極が積層されている方向に沿って 3 個の積層コンデンサユニットが形成されている積層マイクロチップコンデンサ 1。



## 【特許請求の範囲】

【請求項1】 上面と、下面とを有するセラミック焼結体と、

前記セラミック焼結体内において該セラミック焼結体の下面と平行な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極とを備え、

複数の内部電極は、静電容量を取り出すために、その端縁の一部がセラミック焼結体の上面または下面に露出されており、

前記セラミック焼結体の上面に形成された複数の第1の外部電極と、

セラミック焼結体の下面に形成された少なくとも1つの第2の外部電極とをさらに備え、

複数の第1の外部電極と、第2の外部電極との間で複数種の静電容量を取り出すことが可能とされていることを特徴とする積層マイクロチップコンデンサ。

【請求項2】 前記第2の外部電極が複数形成されている、請求項1に記載の積層マイクロチップコンデンサ。

【請求項3】 少なくとも2以上の内部電極が、内部電極積層方向及びセラミック焼結体の上下面方向に直交する方向において分割された分割型内部電極とされており、分割型内部電極が積層されている部分において、焼結体の上面に、内部電極積層方向及びセラミック焼結体の上下面方向に直交する方向に分割された複数の第1の外部電極が形成されている、請求項1または2に記載の積層マイクロチップコンデンサ。

【請求項4】 前記分割型内部電極が形成されている部分において、焼結体の下面に、内部電極積層方向及び焼結体の上下面方向と直交する方向に分割された複数の第2の外部電極が形成されている、請求項3に記載の積層マイクロチップコンデンサ。

【請求項5】 前記複数の第1の外部電極上に形成されたバンプ電極をさらに備えることを特徴とする、請求項1～4のいずれかに記載の積層マイクロチップコンデンサ。

【請求項6】 下端が前記セラミック焼結体の下面において第2の外部電極に接続されており、上端がセラミック焼結体の上面に至るように、セラミック焼結体内に形成された接続電極と、

前記接続電極の上端に接続されるように、セラミック焼結体の上面に形成された第3の外部電極とをさらに備える請求項1、3に記載の積層マイクロチップコンデンサ。

【請求項7】 前記第1の外部電極及び第3の外部電極上に、それぞれバンプ電極が形成されている、請求項6に記載の積層マイクロチップコンデンサ。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、セラミック焼結体を用いて構成された積層マイクロチップコンデンサに関

し、特に、ICパッケージ内や光通信機器内に実装するのに好適な積層マイクロチップコンデンサに関する。

## 【0002】

【従来の技術】 光通信関係の高周波機器や、GaAs半導体を用いたICパッケージ内において静電容量を得るために、例えば、最大寸法が1mm以下の非常に小さな積層マイクロチップコンデンサが用いられている。

【0003】 従来の積層マイクロチップコンデンサの一例を図7(a)、(b)に示す。積層マイクロチップコンデンサ51は、直方体上のセラミック焼結体52を用いて構成されている。この積層マイクロチップコンデンサ51では、セラミック焼結体52の上面52a上に外部電極53が形成されており、下面52b上に、同様に全面に外部電極54が形成されている。

【0004】 他方、セラミック焼結体52は、図8に略図的斜視図で示すように、複数のセラミックグリーンシートを55を積層し、一体焼成することにより得られている。複数のセラミックグリーンシート55には、内部電極を構成するために、導電ペースト56または導電ペースト57が印刷されている。導電ペースト56は、図8においてセラミックグリーンシート55の上端縁に引き出されており、導電ペースト57はセラミックグリーンシート55の下端縁に引き出されている。

【0005】 従って、導電ペースト56、57が印刷されたセラミックグリーンシート55を積層し、さらに無地のセラミックグリーンシートを適宜の枚数積層し、焼成することにより、図7(a)に示すセラミック焼結体52が得られている。セラミック焼結体52においては、上面52aに引き出された内部電極58と、セラミック焼結体の52の下面52bに引き出された内部電極(図示せず)とが矢印A方向に沿ってセラミック焼結体層を介して重なり合うように配置されている。

【0006】 上記積層マイクロチップコンデンサ51は、例えば、GaAs半導体を用いたICパッケージ内において、外部電極54側から基板上に実装される。また、セラミック焼結体52の上面52a上に形成された外部電極53は、ボンディングワイヤー(図示せず)により外部と電気的に接続されている。

## 【0007】

【発明が解決しようとする課題】 上述したように、光通信機器や上記ICパッケージのような高周波用途に用いられる電子機器もしくは部品においては、非常に小さな積層マイクロチップコンデンサ51が用いられている。積層マイクロチップコンデンサ51を実装する場合、設計値に応じた静電容量の積層マイクロチップコンデンサ51が用いられる。

【0008】 しかしながら、上述したような高周波機器では、コンデンサとして必要とされる静電容量が、実装形態により異なり、設計値どおりの静電容量のコンデンサを構成しただけでは回路が良好に動作しないことがあ



る。そのような場合には、異なる静電容量の積層マイクロチップコンデンサ51を用意しなければならなかった。あるいは、複数の積層マイクロチップコンデンサ51を実装する必要があることがあった。従って、製造工程が非常に煩雑であった。

【0009】本発明の目的は、上述した従来の高周波機器用積層マイクロチップコンデンサの欠点を解消し、複数種の静電容量を容易に構成することができ、それによって必要とされる静電容量を容易に構成することができる積層マイクロチップコンデンサを提供することにある。

【0010】

【課題を解決するための手段】請求項1に記載の発明に係る積層マイクロチップコンデンサは、上面と、下面とを有するセラミック焼結体と、前記セラミック焼結体内において該セラミック焼結体の下面と平行な方向に沿ってセラミック層を介して重なり合うように配置された複数の内部電極とを備え、複数の内部電極は、静電容量を取り出すために、その端縁の一部がセラミック焼結体の上面または下面に露出されており、前記セラミック焼結体の上面に形成された複数の第1の外部電極と、セラミック焼結体の下面に形成された少なくとも1つの第2の外部電極とをさらに備え、複数の第1の外部電極と、第2の外部電極との間で複数種の静電容量を取り出すことが可能とされていることを特徴とする。

【0011】請求項2に記載のように、上記第2の外部電極は、焼結体下面において複数形成されていてもよい。また、請求項3に記載の発明では、少なくとも2以上の内部電極が、内部電極積層方向及びセラミック焼結体の上下面方向に直交する方向において分割された分割型内部電極とされており、分割型内部電極が積層されている部分において、焼結体の上面に、内部電極積層方向及びセラミック焼結体の上下面方向に直交する方向に分割された複数の第1の外部電極が形成されている。

【0012】請求項3に記載の発明においては、請求項4に記載のように、前記分割型内部電極が積層されている部分において、焼結体の下面に、内部電極積層方向及び焼結体の上下面方向と直交する方向に分割された複数の第2の外部電極が形成されている。

【0013】請求項5に記載の発明では、複数の第1の外部電極上に、それぞれバンパ電極が形成されている。請求項6に記載の発明では、下端が前記セラミック焼結体の下面において第2の外部電極に接続されており、上端がセラミック焼結体の上面に至るように、セラミック焼結体内に形成された接続電極と、前記接続電極の上端に接続されるように、セラミック焼結体の上面に形成された第3の外部電極とがさらに備えられている。

【0014】請求項6に記載の発明においては、請求項7に記載のように、第1の外部電極及び第3の外部電極上にそれぞれバンパ電極が形成されていてもよい。

【0015】

【発明の実施の形態】以下、図面を参照しつつ、本発明の具体的な実施例を説明することにより、本発明をより詳細に説明する。

【0016】図1(a)、(b)は、本発明の第1の実施例に係る積層マイクロチップコンデンサを説明するための図であり、(a)は、外部電極を除いた焼結体を示す斜視図、(b)は、積層マイクロチップコンデンサの外観を示す斜視図である。

【0017】積層マイクロチップコンデンサ1は、直方体上のセラミック焼結体2を用いて構成されている。セラミック焼結体2を構成するセラミック材料としては、例えば、チタン酸バリウム系セラミックスのような適宜の誘電体セラミックスを用いることができる。

【0018】セラミック焼結体2内には、複数の内部電極がセラミック層を介して重なり合うように配置されている。このセラミック焼結体2の構造を、図2を参照しつつ、製造方法を説明することにより明らかにする。

【0019】セラミック焼結体2を得るにあたっては、図2に略図的分解斜視図で示すように、矩形の複数枚のセラミックグリーンシート3〜7を用意する。セラミックグリーンシート4〜7には、それぞれ、導電ペーストをスクリーン印刷することにより内部電極8または内部電極9が形成されている。上記導電ペーストとしては、Ag-pdなどの適宜の金属を主体とする導電ペーストを用いることができる。内部電極8、9の形成は、導電ペーストの印刷法に限らず、他の既知の手段で行ってもよい。以下の実施例においても同様に、内部電極は、公知の任意の方法で形成し得る。

【0020】内部電極8は、その端縁の一部が図2においてセラミックグリーンシート4、6の上端縁に至るように形成されている。内部電極9は、その端縁の一部がセラミックグリーンシート5、7の下端縁に至るように形成されている。

【0021】セラミックグリーンシート3には、導電ペーストが印刷されておらず、従って、セラミックグリーンシート3は、無地のセラミックグリーンシートとされている。

【0022】図2に示したセラミックグリーンシート4〜7を積層することにより得られた積層体では、内部電極8、9が交互に積層体の上面または下面に露出されるように構成される。

【0023】セラミック焼結体2を得るにあたっては、上記セラミックグリーンシート4〜7を適宜の枚数積層し、さらに、セラミックグリーンシート3のような無地のセラミックグリーンシートを適宜の枚数積層することによって得られた積層体を焼成する。

【0024】このようにして、図1に示したセラミック焼結体2が得られる。セラミック焼結体2では、上述した内部電極8がセラミック焼結体2の上面2aに引き出

されている。他方の内部電極9は図示されていない。従って、複数の内部電極8, 9は、セラミック焼結体2の取付け面となる下面と平行な方向に積層されており、各内部電極8, 9は該取付け面と直交する方向に延ばされていることになる。

【0025】また、セラミック焼結体2においては、セラミック焼結体2の上面2aに引き出されている内部電極8と、下面2bに引き出されている内部電極9とを交互に積層してなる積層コンデンサユニットが、矢印A方向において、3つ形成されている。なお、矢印A方向は、上記内部電極8, 9の積層方向に相当する。

【0026】上記のようにして第1～第3の積層コンデンサユニットB～Dが構成される。なお、積層コンデンサユニットB～D間には、それぞれ、内部電極が積層されていない領域E, Fが形成されている。この内部電極が構成されていない領域E, Fは、無地のセラミックグリーンシート3を適宜の枚数積層することにより構成されればよい。

【0027】図1(b)に示すように、セラミック焼結体2の上面2a上には、複数の第1の外部電極13～15が形成されている。外部電極13～15は、それぞれ、積層コンデンサユニットB～Dにおいて内部電極8に接続されている。また、セラミック焼結体2の下面2b上には、全面に第2の外部電極16が内部電極9に接続されるように形成されている。外部電極13～16は、例えば、Auペーストのような導電ペーストの塗布・焼付により形成されるが、蒸着、スパッタリングもしくはメッキ等の他の導電膜形成方法により形成してもよい。

【0028】積層マイクロチップコンデンサ1では、上記第1の外部電極13～15のそれぞれと、第2の外部電極16とでそれぞれ、上記第1～第3の積層コンデンサユニットB～Dが構成される。従って、電気的に独立した第1～第3のコンデンサユニットB～Dを形成することができるので、各積層コンデンサユニットにおける静電容量を出させることにより、様々な静電容量を取り出すことができる。もっとも、第1～第3の積層コンデンサユニットB～Dにより得られる静電容量はすべて同一であってもよい。

【0029】また、積層マイクロチップコンデンサ1を用いる場合、第1～第3の積層コンデンサユニットB～Dの何れか1つを用いてもよく、任意の2個の積層コンデンサユニットを並列接続するように電気的に接続して用いてもよく、3個の積層コンデンサユニットの全てを用いてもよい。すなわち、3個の積層コンデンサユニットが構成されているので、第1の外部電極13～15の接続方法を変えることにより、様々な大きさの静電容量を取り出すことができる。

【0030】本実施例の積層マイクロチップコンデンサ1では、下面すなわち外部電極16が形成されている面

が基板上に実装される面とされている。従って、基板の電極ランドに第2の外部電極16が電気的に接続されることになる。他方、第1の内部電極13～15は、例えばボンディングワイヤーにより外部と電気的に接続することができる。従って、上記ボンディングワイヤーによる接続の態様を変更することにより、様々な静電容量を取り出すことができる。

【0031】もっとも、特に図示はしないが、第1の外部電極13～15と同様に、セラミック焼結体2の下面2b上に、コンデンサユニットB～Dに応じてそれぞれ独立の第2の外部電極を形成してもよい。すなわち、セラミック焼結体2の下面2b上において、3個の第2の外部電極を形成してもよい。

【0032】図3(a), (b)は、本発明の第2の実施例に係る積層マイクロチップコンデンサに用いられるセラミック焼結体及び該積層マイクロチップコンデンサの外観を示す斜視図である。

【0033】第2の実施例の積層マイクロチップコンデンサ21では、直方体状のセラミック焼結体22が用いられている。セラミック焼結体22内には、セラミック層を介して重なり合うように複数の内部電極が配置されている。この構造を、製造方法を参照しつつ図4を参照して説明する。

【0034】セラミック焼結体22においては、複数の積層コンデンサユニットG～Kが構成されている。このうち、積層コンデンサユニットGが構成されている部分では、第1の実施例と同様にして内部電極が積層されている。すなわち、上面22aに引き出されている内部電極8と下面22bに引き出されている内部電極(図示せず)が交互に積層されて積層コンデンサユニットGが構成されている。

【0035】他方、積層コンデンサユニットH～Kは、分割型内部電極を用いて構成されている。ここで、分割型内部電極とは、内部電極8に相当する内部電極を、矢印B方向に、すなわち内部電極引出方向と直交する方向に分割した内部電極をいうものとする。

【0036】従って、積層コンデンサユニットHと積層コンデンサユニットIとは、矢印B方向に沿って配置されている。同様に積層コンデンサユニットJと積層コンデンサユニットKとも、矢印B方向に沿って配置されている。

【0037】このうち、積層コンデンサユニットH, Iが構成されている部分を製造する工程を図4を参照して説明する。図4に示すように、複数枚のセラミックグリーンシート23a～23hを用意する。このうち、セラミックグリーンシート23a, 23bには、導電ペーストは印刷されておらず、従って、セラミックグリーンシート23a, 23bは無地のセラミックグリーンシートである。

【0038】セラミックグリーンシート23c, 23

e, 23 gでは、それぞれ、分割型内部電極24, 25が矢印B方向に隔てて形成されている。分割型内部電極24, 25は、図4において、セラミックグリーンシート23 c, 23 e, 23 gの上端縁に引き出されている。他方、セラミックグリーンシート23 d, 23 f, 23 hの片面には、内部電極26が形成されている。内部電極26は、セラミックグリーンシート23 d, 23 f, 23 hの下端縁に引き出されている。

【0039】上記セラミックグリーンシート23 a~23 hを図4に示すように積層し、得られた積層体を加圧した後、焼成することにより、上記積層コンデンサユニット部分H, Iが構成される。

【0040】残りの積層コンデンサユニットJ, Kも同様に構成されている。上記積層コンデンサユニットG~Kから静電容量を取り出すために、セラミック焼結体の22の上面22 a上には、第1の外部電極27~31が形成されている。また、セラミック焼結体22の下面22 b上には、第2の外部電極32が全面に形成されている。外部電極27は、積層コンデンサユニットGの静電容量を取り出すために設けられている。外部電極28, 29は、矢印B方向において隔てられている。同様に外部電極30, 31も矢印B方向において隔てられている。外部電極28~31は、それぞれ、積層コンデンサユニットH~Kにおける静電容量を取り出すために形成されている。

【0041】よって、本実施例の積層マイクロチップコンデンサ1では、上記複数の第1の外部電極27~31と、第2の外部電極32とを用いることにより、様々な静電容量を取り出すことができる。

【0042】本実施例においても、各積層コンデンサユニットG~Kにおける内部電極積層数及び内部電極の面積を変更することにより、各積層コンデンサユニットG~Kから取り出される静電容量を全て異ならせることも可能であり、かつ全ての積層コンデンサユニットG~Kで取り出される静電容量を同一としてもよい。

【0043】いずれの場合においても、第1の外部電極27~31の接続態様を変更することにより、様々な静電容量を得ることができる。本実施例においても、第2の外部電極22 bが基板上に取り付ける際の取付け面となる。従って、第1の外部電極27~31を例えばボンディングワイヤーで接合する場合、ボンディングワイヤーによる接続態様を変更することにより、上記のように様々な静電容量を取り出すことができる。

【0044】なお、本実施例では、第2の外部電極32は、セラミック焼結体22の下面22 bの全面に形成されていたが、下面において、複数の第2の外部電極を形成してもよい。すなわち、例えば、上面22 a上に形成された第1の外部電極27~31と対応するように、下面22 b上に複数の第2の外部電極を形成してもよく、あるいは、上面22 aとは異なる態様で複数の第2の外

部電極を下面22 b上に形成してもよい。

【0045】図5(a)~(c)は、本発明の第3の実施例に係る積層マイクロチップコンデンサを説明するための図であり、(a)はセラミック焼結体の外観を示す斜視図、(b)は積層マイクロチップコンデンサの縦断面図、(c)は積層マイクロチップコンデンサの外観を示す斜視図である。

【0046】積層マイクロチップコンデンサ41では、直方体状のセラミック焼結体42が用いられている。セラミック焼結体42は、後述の接続電極が設けられていることを除いては、第1の実施例で用いられたセラミック焼結体2とほぼ同様に構成されている。従って、同一部分については、同一の参照番号を付することにより、その説明を省略する。

【0047】セラミック焼結体42では、矢印A方向に沿って複数の内部電極がセラミック層を介して重なり合うように積層されており、それによって、3個の積層コンデンサユニット部分B~Dが構成されている。各積層コンデンサユニットB~Dにおいては、セラミック焼結体42の上面42 aに引き出されている内部電極8と、下面42 bに引き出されている内部電極9とが交互に積層されている。

【0048】さらに、焼結体42では、焼結体42の一方端面42 cの近傍において、上面42 aと下面42 bとに至るように接続電極43が形成されている。この接続電極43及び第1のコンデンサユニットBが構成されている部分を得るためのセラミックグリーンシート及び内部電極形状を図6に示す。

【0049】図6に示すように、複数枚のセラミックグリーンシート44 a~44 iが用いられる。セラミックグリーンシート44 a, 44 b, 44 d, 44 eは無地のセラミックグリーンシートである。セラミックグリーンシート44 cの片面には、内部電極と同様の導電ペーストを複利印刷することにより接続電極43が形成されている。この場合、接続電極43は、セラミックグリーンシート44 cの上端縁から下端縁に至るように形成されている。

【0050】他方、セラミックグリーンシート44 f~44 iにおいては、第1の実施例の場合と同様に、内部電極8と内部電極9とが交互に印刷されている。上記セラミックグリーンシート44 a~44 iを積層し、さらに第2, 第3の積層コンデンサユニットを構成するためのセラミックグリーンシート及び内部電極を積層し、積層方向に加圧することにより積層体を得る。このようにして得られた積層体を焼成することにより、セラミック焼結体42を得ることができる。

【0051】図5(c)に戻り、セラミック焼結体42の上面42 a上には、複数の第1の外部電極45~47と、第3の外部電極48とが形成されている。第1の外部電極45~47は、それぞれ、積層体コンデンサユニ

ットB～Dにおける静電容量を取り出すために設けられている。すなわち、第1の外部電極45～47は、第1の実施例における第1の外部電極13～15に相当する。

【0052】本実施例では、上記接続電極43の上端に電氣的に接続されるように、第3の外部電極48が形成されている。他方、セラミック焼結体42の下面42b上には、全面に第2の外部電極49が形成されている。従って、第2の外部電極49は接続電極43により第3の外部電極48に電氣的に接続されている。

【0053】よって、本実施例の積層コンデンサ41では、基板上に第2の外部電極49から実装した場合、第1の外部電極45～47及び第3の外部電極48を用いて、例えばボンディングワイヤーにより外部と接続することができる。すなわち、第2の外部電極49が第3の外部電極48に電氣的に接続されているので、電氣的接続をすべてセラミック焼結体42の上面42a側で行うことができる。

【0054】より好ましくは、図5(c)に示すように、第1の外部電極45～47及び第3の外部電極48上に、適宜の金属球状のバンプ電極50を形成する。バンプ電極50を形成しておけば、積層マイクロチップコンデンサ41を上面側を取付け面とし、フェイスダウンボンディング方式で基板上に容易に実装することができる。逆に積層マイクロチップコンデンサ41の上面側に、他の部品や基板等を載置することもできる。

【0055】すなわち、積層マイクロチップコンデンサ41を基板上に実装する場合、バンプ電極50側を基板上の電極ランドに接触させるように配置することにより、積層マイクロチップコンデンサ41を、ボンディングワイヤーを用いることなく容易に面実装することができる。

#### 【0056】

【発明の効果】請求項1に記載の発明に係る積層マイクロチップコンデンサでは、セラミック焼結体の下面と平行な方向に沿ってセラミック層を介して複数の内部電極が積層されており、複数の内部電極がセラミック焼結体の上面または下面に引き出されており、セラミック焼結体の上面に形成された複数の第1の外部電極と、下面に形成された第2の外部電極との間で、独立した複数の積層コンデンサユニットが構成されることになる。従って、第1の外部電極を外部と接続するにあたり、その接続態様を変更することにより、様々な静電容量を取り出すことができる。

【0057】従って、例えば、光通信関係機器やICパッケージ内に実装される高周波用の積層マイクロチップコンデンサとして用いた場合、上記第1の外部電極の接続態様を変更することにより、静電容量を容易に調整することができる。言い換えれば、設計値と、実際に必要とされる静電容量とが異なる場合、積層マイクロチップ

コンデンサの容量を、該必要とされる静電容量に容易に近づけることができる。

【0058】従って、高周波用途に適した積層マイクロチップコンデンサを提供することができ、高周波機器の製造工程の簡略化を図り得る。また、請求項1に記載の発明に係る積層マイクロチップコンデンサでは、上記複数の第1の外部電極と第2の外部電極との間で独立した複数の積層コンデンサユニットが構成されている。従って、従来複数の積層コンデンサが必要であった部分を、より少ない数の積層マイクロチップコンデンサを用いて構成することができ、実装密度を高め得るとともに、電氣的接続作業の簡略化を図ることができる。

【0059】請求項2に記載の発明に係る積層マイクロチップコンデンサでは、第2の外部電極が焼結体の下面において複数形成されているため、より一層様々な静電容量を取り出すことができる。

【0060】請求項3に記載の発明では、内部電極の積層方向及びセラミック焼結体の上下面方向に直交する方向において分割された分割型内部電極を有するため、内部電極積層方向及びセラミック焼結体の上下面方向と直交する上記方向に沿っても複数の積層コンデンサユニットを構成することができる。従って、より一層多くの積層コンデンサユニットを構成することができるため、多種多様な静電容量を取り出すことができる。

【0061】請求項4に記載の発明では、上記分割型内部電極を有する積層マイクロチップコンデンサにおいて、セラミック焼結体の下面に第2の外部電極が複数形成されているため、より一層様々な静電容量を取り出すことができる。

【0062】請求項5に記載の発明では、複数の第1の外部電極バンプ電極が形成されているので、該バンプ電極が形成されている側からフェイスダウンボンディング方式で積層マイクロチップコンデンサを基板上に容易に実装することができる。しかもバンプ接続を用いるため、電氣的接続部分の長さに起因する電氣的特性の劣化が生じ難いため、高周波用途に適した積層マイクロチップコンデンサを提供することができる。

【0063】請求項6に記載の発明では、セラミック焼結体の下面において第2の外部電極に接続されており、セラミック焼結体の上面において第3の外部電極に接続されている接続電極が備えられているので、セラミック焼結体の上面に配置された複数の第1の外部電極と上記第3の外部電極とが外部との電氣的接続部分となる。すなわち、セラミック焼結体の下面に形成された第2の外部電極を外部と電氣的に接続する必要がない。

【0064】従って、例えば、セラミック焼結体の下面をセラミック基板上に実装する際の実装面とした場合、実装後にセラミック焼結体の上面において複数の第1の外部電極及び第3の外部電極に適宜ボンディングワイヤーを接続することにより、電氣的接続を行うことができ

る。すなわち、ボンディングワイヤーのような単一の電氣的接続手段を用いて、しかもセラミック焼結体の上面のみにおいて、すべての電氣的接続作業を行うことができる。よって、製造工程の簡略化を果たし得る。

【0065】請求項7に記載の発明では、複数の第1の外部電極及び第3の外部電極上にバンプ電極が形成されているので、該バンプ電極が形成されている側からフェイスダウンボンディング方式で積層マイクロチップコンデンサを基板上に容易に実装することができる。しかもバンプ接続を用いるため、電氣的接続部分の長さ起因する電氣的特性の劣化が生じ難いため、高周波用途に適した積層マイクロチップコンデンサを提供することができる。

#### 【図面の簡単な説明】

【図1】(a)は、本発明の第1の実施例で用いられるセラミック焼結体を示す斜視図、(b)は第1の実施例に係る積層マイクロチップコンデンサを示す斜視図。

【図2】第1の実施例においてセラミック焼結体を製造するのに用いられたセラミックグリーンシート及びその表面に形成される内部電極形状を説明するための分解斜視図。

【図3】(a)は、本発明の第1の実施例で用いられるセラミック焼結体を示す斜視図、(b)は第1の実施例に係る積層マイクロチップコンデンサを示す斜視図。

【図4】第2の実施例においてセラミック焼結体を製造するのに用いられたセラミックグリーンシート及びその表面に形成される内部電極形状を説明するための分解斜視図。

【図5】(a)は第3の実施例に用いられるセラミック焼結体を示す斜視図、(b)は該セラミック焼結体の縦断面図、(c)は第3の実施例に係る積層マイクロチップコンデンサの外観を示す斜視図。

【図6】第3の実施例においてセラミック焼結体を製造するのに用いられたセラミックグリーンシート及びその表面に形成される内部電極形状を説明するための分解斜視図。

【図7】(a)は従来の積層マイクロチップコンデンサに用いられているセラミック焼結体を示す斜視図、

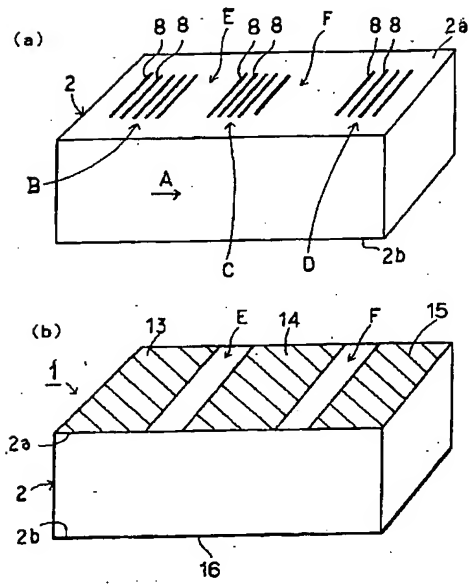
(b)は従来の積層マイクロチップコンデンサの外観を示す斜視図。

【図8】従来の積層マイクロチップコンデンサを得るのに用いられたセラミックグリーンシート及びその片面に形成される内部電極形状を説明するための略図的分解斜視図。

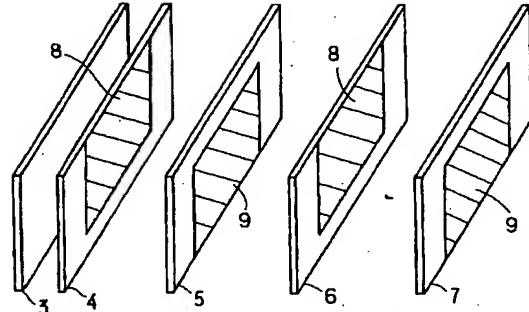
#### 【符号の説明】

- 10 1…積層マイクロチップコンデンサ
- 2…セラミック焼結体
- 2 a…上面
- 2 b…下面
- 1 2…内部電極
- 1 3～1 5…第1の外部電極
- 1 6…第2の外部電極
- B～D…積層コンデンサユニット
- 8～1 1…導電ペースト
- 2 1…積層マイクロチップコンデンサ
- 20 2 2…焼結体
- 2 2 a…上面
- 2 2 b…下面
- 2 4, 2 5…分割型内部電極
- 2 6…内部電極
- 2 7～3 1…第1の外部電極
- 3 2…第2の外部電極
- 4 1…積層マイクロチップコンデンサ
- 4 2…セラミック焼結体
- 4 2 a…上面
- 30 4 2 b…下面
- 4 3…接続電極
- 4 6～4 8…第1の外部電極
- 4 5…第2の外部電極
- 4 9…第3の外部電極
- 5 0…バンプ電極

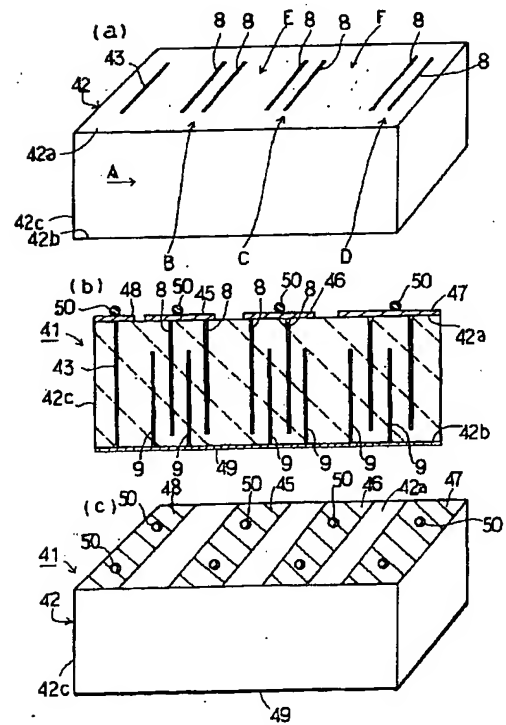
【図1】



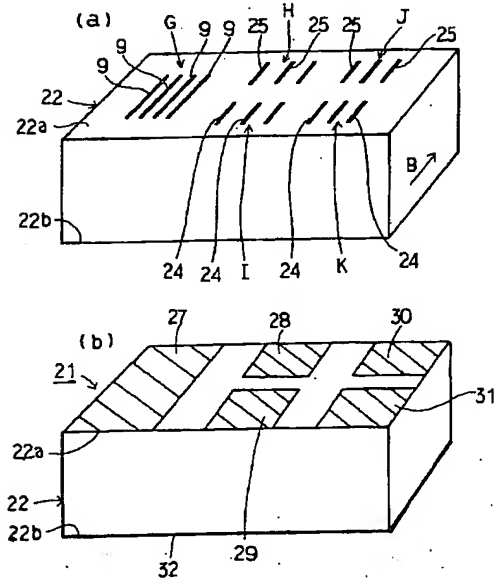
【図2】



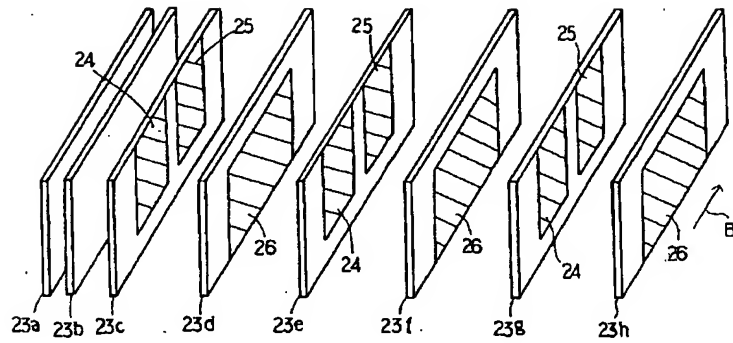
【図5】



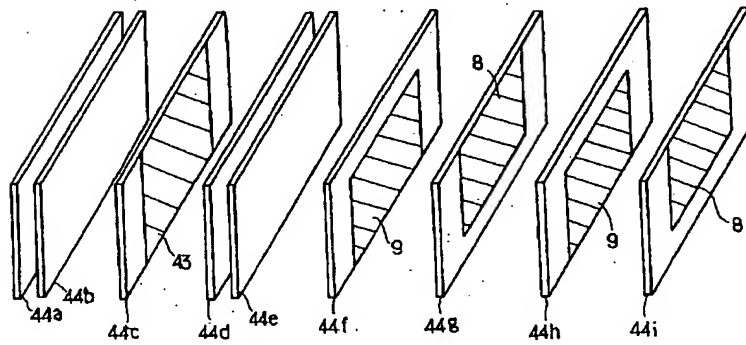
【図3】



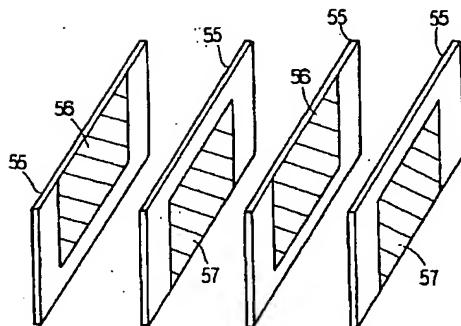
【図 4】



【図 6】



【図 8】





【図 7】

